

Docket No.: SON-2999
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Kou NAGATA, et al

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: April 20, 2004

Examiner: Not Yet Assigned

For: SEMICONDUCTOR MEMORY APPARATUS
AND SELF-REPAIR METHOD

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

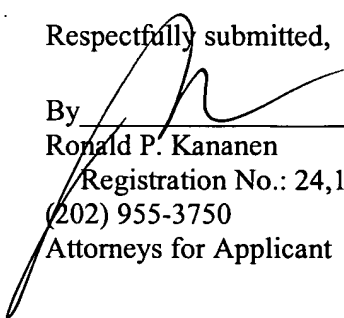
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-126597	May 1, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: April 20, 2004

Respectfully submitted,

By 

Ronald P. Kananen
Registration No.: 24,104
(202) 955-3750
Attorneys for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

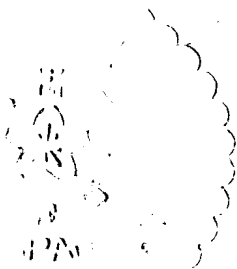
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 2 6 5 9 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 2 6 5 9 7]

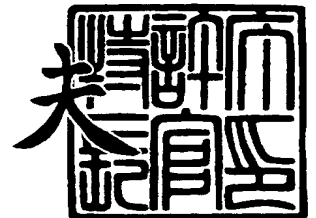
出 願 人 ソニー株式会社
Applicant(s):



2 0 0 4 年 2 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0290833102

【提出日】 平成15年 5月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 29/00
G01R 31/28

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・
エルエスアイ・デザイン株式会社内

【氏名】 永田 公

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 児玉 裕秋

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置およびそのセルフリペア方法

【特許請求の範囲】

【請求項 1】 複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに行列状に配置されるとともに、前記単位ブロックを第 1 方向（行方向または列方向）および第 2 方向（列方向または行方向）の 2 次元で矩形状に複数個ずつグループ化し、各グループ内の複数の単位ブロックに対して冗長線を第 1 方向、第 2 方向ともに共通に使用してなるメモリ部と、

前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段と、

前記メモリ部と同じチップ上に搭載され、前記内蔵セルフテスト手段から渡される異常セルの第 1 方向アドレス（行アドレスまたは列アドレス）および第 2 方向アドレス（列アドレスまたは行アドレス）からなるアドレスペアのうち、異常セルをリペアする冗長線を決定するために必要最低限のアドレスペアのみを前記単位ブロック毎に記憶手段に格納し、当該記憶手段に格納したアドレスペアを基に、2 次元でグループ化した複数の単位ブロックの異常セルをリペアする冗長線のアドレスを前記各グループ毎に計算する内蔵セルフリペア手段と

を備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記内蔵セルフリペア手段は、前記グループ内でさらに第 2 方向で複数の単位ブロックをグループ化してなる第 2 方向グループの各単位ブロックについてリペア可能か否かを確認する第 1 の確認手段と、前記第 1 の確認手段による確認結果を第 1 方向に並ぶ他の第 2 方向グループの各単位ブロックに反映させて、当該他の第 2 方向グループの各単位ブロックについてリペア可能か否かを確認する第 2 の確認手段とを有する

ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記第 1 の確認手段でリペア可能と判断した第 1 方向アドレスの情報を第 1 方向に並ぶ他の前記第 2 方向グループに通知するアドレス通知線

を有する

ことを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記アドレス通知線は、第 1 方向の冗長線と同じ数の複数のアドレスバスと、前記複数のアドレスバスの使用状況を表す使用ビット線とを有する

ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】 前記アドレス通知線は、1つのアドレスバスと、第 1 方向の冗長線の使用数を示す使用ビット線と、前記アドレスバスに第 1 方向の冗長線のどの冗長線のアドレスが載っているかを示す選択ビット線とを有する

ことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 6】 複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに行列状に配置されるとともに、前記単位ブロックを第 1 方向（行方向または列方向）および第 2 方向（列方向または行方向）の 2 次元で矩形状に複数個ずつグループ化し、各グループ内の複数の単位ブロックに対して冗長線を第 1 方向、第 2 方向ともに共通に使用してなるメモリ部と、

前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段とを備えた半導体記憶装置におけるセルフリペア方法であって、

異常セルの第 1 方向アドレス（行アドレスまたは列アドレス）および第 2 方向アドレス（列アドレスまたは行アドレス）からなるアドレスペアを各単位ブロック毎に記憶手段に格納する格納工程と、

前記格納工程で前記記憶手段に格納したアドレスペアを基に、第 2 方向の冗長線が共通している複数の単位ブロックをグループ化してなる第 2 方向グループの各単位ブロックについてリペア可能か否かを確認する第 1 の確認工程と、

前記第 1 の確認工程での確認結果を第 1 方向に並ぶ他の第 2 方向グループの各単位ブロックに反映させて、当該他の第 2 方向グループの各単位ブロックについてリペア可能か否かを確認する第 2 の確認工程とを有し、

前記第 1、第 2 の確認工程を繰り返して実行することによって 2 次元でグループ化した複数の単位ブロックすべてについてリペア可能か否かを確認することを特徴とするセルフリペア方法。

【請求項 7】 前記第 1 の確認工程では、

前記単位ブロックが第 2 方向でグループ化されているとき、前記記憶手段に格納されているアドレスペアの第 2 方向アドレスに基づいて当該第 2 方向アドレスのアドレスセットのパターンを生成する工程と、

この生成した第 2 方向アドレスのアドレスセットをリペアアドレスとみなして、当該第 2 方向グループのすべての単位ブロックに対して通知し、このアドレスセットでリペアしきれない異常セルのアドレスペアを第 1 方向の冗長線でリペア可能か否かをすべての単位ブロックについて確認する工程と、

その確認の結果、いずれかの単位ブロックについてリペア不可能であれば、次のアドレスセットを生成して再度すべての単位ブロックについてリペア可能か否かを確認する工程と

の各工程の処理を繰り返して実行することによって第 2 方向リペアアドレスを決定する

ことを特徴とする請求項 6 記載のセルフリペア方法。

【請求項 8】 前記第 2 の確認工程では、

第 2 方向でグループ化された単位ブロックの集合をそれぞれ第 1 グループ、第 2 グループ、第 3 グループ、…、第 N グループとするととき、

第 1 グループの各単位ブロックに対して前記第 1 の確認工程のアルゴリズムを適用して第 1 グループの第 2 方向リペアアドレスのアドレスセットを求め、

次いで、第 1 グループの第 2 方向リペアアドレスのアドレスセットによって決まる第 1 方向リペアアドレスセットの複数候補のうちのひとつを第 2 グループに通知し、その影響を考慮しながら、第 2 グループの第 2 方向リペアアドレスのアドレスセットを求め、

次いで、第 2 グループの第 2 方向リペアアドレスのアドレスセットによって決まる第 1 方向リペアアドレスセットの複数候補のうちのひとつを先に求めた第 1 グループの第 1 方向リペアアドレスセットとともに第 3 グループに通知し、その

影響を考慮しながら、第3グループの第2方向リペアアドレスのアドレスセットを求め、

以降、同様の処理を第Nグループまで繰り返して各グループ毎に第1方向リペアアドレスおよび第2方向リペアアドレスを決定する

ことを特徴とする請求項6記載のセルフリペア方法。

【請求項9】 前記第2の確認工程では、第2方向でグループ化された各グループについて第1方向リペアアドレスおよび第2方向リペアアドレスを決定する際に、第1方向リペアアドレスが第1方向の冗長線の数を超えればリペア不可能と判断し、リペア可能なパターンが見つからないときは、一つ前の第2方向グループに戻ってこのグループに対してさらに次のアドレスセットを求めていく

ことを特徴とする請求項8記載のセルフリペア方法。

【請求項10】 前記第2の確認工程では、第1～第 n ($2 < n < N$) グループの各第1方向リペアアドレスを第 $n+1$ グループに通知する際に、第 $n+2$ グループ以降の各グループあるいはすべてのグループに対しても同時に通知することを特徴とする請求項8記載のセルフリペア方法。

【請求項11】 前記第2の確認工程では、第1～第 n グループの各第1リペアアドレスを第 $n+1$ グループと共に、第 $n+2$ グループ以降の各グループあるいはすべてのグループに対して通知すると同時に、通知した第1リペアアドレスと同じ第1方向アドレスを持つアドレスペアが前記記憶手段内にあれば、当該アドレスペアをリペアされたと仮定する

ことを特徴とする請求項8記載のセルフリペア方法。

【請求項12】 前記第2の確認工程では、アドレスペアをリペア済みと仮定する際に、前記記憶手段に格納されているアドレスペア毎に設けられた専用のビットを用いてリペア済みと仮定した旨を示す

ことを特徴とする請求項8記載のセルフリペア方法。

【請求項13】 前記第2の確認工程の中で、前記第1の確認工程のアルゴリズムを適用して第 n グループの第2方向リペアアドレスを決める際に、他のグループから通知された第1方向リペアアドレスを考慮する

ことを特徴とする請求項8記載のセルフリペア方法。

【発明の詳細な説明】**【 0 0 0 1 】****【発明の属する技術分野】**

本発明は、D R A M (Dynamic Random Access Memory)、S R A M (Static Random Access Memory)等の半導体記憶装置および当該半導体記憶装置におけるセルフリペア方法に関し、特に不良（欠陥）メモリセルをあらかじめ搭載された冗長メモリセルに置換するための冗長サーチ回路を備えた半導体記憶装置および当該半導体記憶装置におけるセルフリペア方法に関する。

【 0 0 0 2 】**【従来の技術】**

D R A M等の半導体記憶装置においては、近年、集積度が非常に増大してきており、それに伴って歩留まりが製造上大きな課題になってきている。歩留まりを 1 0 0 %にすることは現実問題として不可能に近く、不良のメモリセル（以下、「異常ビット」と呼ぶ場合もある）が存在することを前提としているのが現状である。しかし、不良のメモリセルが存在すれば、当然製品として出荷する訳にはいかない。

【 0 0 0 3 】

したがって、実際には、スペアのメモリセルを幾つか用意しており、不良のメモリセルがみつければ、これをスペアのメモリセルで置換することで、不良チップの救済を図っている。具体的には、冗長セルとしてスペアのメモリセルを余分に用意しておき、不良のメモリセルがあれば、それをビット線あるいはアドレス線単位でスペアのメモリセルと置換することによって実現している。従来、メモリセルの良／不良の判断は、工場出荷段階において、外部のメモリテストを用いて行われていた。

【 0 0 0 4 】

一方、近年、L S I 技術が飛躍的に向上し、それに伴い複数のメモリとロジック部を同時に L S I チップ上に混載するケースが増え、個々のメモリを独立してテストすることが事実上困難になってきている。また、L S I の実行速度が速くなるにつれ、外部のメモリテストを用いてテスト評価することが難しい。そのた

め、LSI内蔵型のメモリテスト手法が不可欠となっている。また、外部のメモリテストを用いてテスト評価することができたとしても、そのようなメモリテストは非常に高価である。したがって、LSI製作において、テストにかかるコストが近年非常に増大しつつあることから、LSIの実行速度で高速にテストができ、しかも安価に実現できる方法が望まれているのが現状である。

【0005】

半導体記憶装置のテスト評価に関しては、先述したように、1ビット（メモリセル）ごとにメモリセルの良／不良の評価をしていくことになるが、その評価を行う部分をLSIに内蔵したものを一般にBIST(built-in self test;内蔵セルフテスト)と呼んでいる。現状は、市販のテスト回路はSRAM向けが主で、DRAM向けは、各メーカーがそれぞれ独自のDRAMアーキテクチャ用に開発している。

【0006】

BIST回路は、メモリに異常（欠陥あるいは不良）ビットがあるか、異常ビットがあれば、どのアドレスのビット（メモリセル）に異常があるかを調べるためのものである。半導体記憶装置には、BIST回路で見つけた異常ビットを修復するためにダミーのビット線あるいはワード線が用意されている。このダミーのビット線あるいはワード線を冗長線と呼ぶ。BIST回路では、異常ビットを見つけるだけの処理が行われる。したがって、冗長線をどのように使用するかを実際に決定するのはその後の処理になる。

【0007】

冗長線は複数本、コラム方向とロウ方向に用意されている。したがって、どの異常ビットをどの冗長線で補間するかを決定しなければならない。このように、いずれかの冗長線で異常ビットを補間することをリペアと呼び、また異常ビットを補間するのにどの冗長線を使用するかを決定することをリペアサーチと呼ぶ。また、LSIチップ上で、マスクアドレスを決定した後、実際にリペアを完了するところまで行うことをBISR(built-in self repair;内蔵セルフリペア)あるいはセルフリペアと呼ぶ。

【0008】

外部のメモリテストを用いる場合、リペアサーチの計算を外部のメモリテストのコンピュータを使用して行っている（例えば、特許文献 1 参照）。また、内蔵する B I S T 回路に対して、異常ビットが存在するか否かの評価機能に加えて、異常ビットを補間するのにどの冗長線を使用するかを決定するリペアサーチ（冗長解析）機能をも持たせている（例えば、特許文献 2 参照）。

【 0 0 0 9 】**【特許文献 1】**

特開平 7 - 1 4 6 3 4 0 号公報

【特許文献 2】

特開 2 0 0 2 - 1 1 7 6 9 7 号公報

【 0 0 1 0 】**【発明が解決しようとする課題】**

しかしながら、B I S T 回路を内蔵した L S I の場合でも、特許文献 1 記載の従来技術のように、各々の異常ビットの情報を外部に取り出し、外部のコンピュータで計算させる構成を採ると、すべての各アドレスについてビットの正常／異常の情報を外部コンピュータのメモリ上にもたせることになるため、メモリ容量を多量に消費し、計算にも非常に時間がかかることになる。

【 0 0 1 1 】

また、特許文献 2 記載の従来技術のように、内蔵する B I S T 回路にリペアサーチ機能を持たせた場合であっても、リペア可能な組み合わせとして複数（この例では、6 種類）の組み合わせが考えられ、それらのすべての組み合わせについてアドレスを格納する場所を用意して、6 種類すべてについて同時にリペア可能性について確認する手法を採っているため、回路規模がそれだけ大きくなることが考えられる。

【 0 0 1 2 】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、内蔵する B I S T 回路にリペアサーチ機能を持たせた場合において、小さな回路規模にて高速にリペアサーチを行うことが可能な半導体記憶装置および完全なオンチップ上でのセルフリペアを行うことが可能なセルフリペア方法を提供するこ

とにある。

【0013】

【課題を解決するための手段】

本発明による半導体記憶装置は、複数のメモリセルを行列状に配置したメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルからなる冗長線を有するブロックを単位とし、この単位ブロックがさらに行列状に配置されるとともに、前記単位ブロックを第1方向（行方向または列方向）および第2方向（列方向または行方向）の2次元で矩形（長方形、正四方形を含む）状に複数個ずつグループ化し、各グループ内の複数の単位ブロックに対して冗長線を第1方向、第2方向ともに共通に使用してなるメモリ部と、前記メモリ部と同じチップ上に搭載され、前記メモリセル個々の良否を評価する内蔵セルフテスト手段と、前記メモリ部と同じチップ上に搭載され、前記内蔵セルフテスト手段から渡される異常セルの第1方向アドレス（行アドレスまたは列アドレス）および第2方向アドレス（列アドレスまたは行アドレス）からなるアドレスペアのうち、異常セルをリペアする冗長線を決定するために必要最低限のアドレスペアのみを前記単位ブロック毎に記憶手段に格納し、当該記憶手段に格納したアドレスペアを基に、2次元でグループ化した複数の単位ブロック各々の異常セルをリペアする冗長線のアドレスを前記各グループ毎に計算する内蔵セルフリペア手段とを備えたことを特徴としている。

【0014】

上記構成の半導体記憶装置において、メモリ部は、単位ブロックが行列状に配置されてなり、個々の単位ブロックは、行列状に配置された複数個のメモリセルと共に異常セルをリペアするための冗長セルからなる冗長線を有している。そして、単位ブロックの各々は、第1方向および第2方向の2次元で矩形状に複数個ずつグループ化され、各グループ毎に複数の単位ブロックで第1方向、第2方向それぞれの冗長線を共通に使用している。内蔵セルフテスト手段は、メモリ部の個々のメモリセルの良否を評価し、異常セルのアドレス情報を内蔵セルフリペア手段に渡す。これを受けて、内蔵セルフリペア手段は、異常セルをリペアする冗長線を決定するために必要最低限のアドレスペアのみを単位ブロック毎に記憶手

段に格納する。そして、当該記憶手段に格納したアドレスペアを基に、2次元でグループ化した複数の単位ブロックの各々について異常セルをリペアする冗長線のアドレスを各グループ毎に計算する。

ここで言う必要最低限のアドレスペアとは、例えば、行方向の冗長線の本数を m 、列方向の冗長線の本数を n とするとき、前記記憶手段は、前記アドレスペアを格納するバッファ量として各単位ブロック毎に $2 \times m \times n$ 個のバッファ量を有することを意味する。

必要最低限のアドレス情報のみを格納することで、バッファの容量が少なくても済むため回路規模を小さくできる。また、メモリ部と同一のチップ上において、リペアサーチが行われるため、処理の高速化を図ることができる。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0016】

図1は、本発明の一実施形態に係る半導体記憶装置の構成例を示すブロック図である。図1から明らかなように、本実施形態に係る半導体記憶装置(LSI)は、DRAMやSRAM等のRAM(メモリ部)10、BIST(内蔵セルフテスト)回路20およびBISR回路30を有し、これら構成要素が同一のLSIチップ上に搭載された構成となっている。

【0017】

RAM10は、一般に、図2に示すように、複数のメモリセルが行列状に配置されてなるメモリコアと、当該メモリコアの中に発生した異常セルをリペアするための冗長セルとしてのスペアのメモリセルとを有する個々の小さい単位ブロック(以下、「冗長ブロック」と呼ぶ)11からなり、これら冗長ブロック11がさらに行列状に多数(1つの場合もある)配列された構成となっている。ここで、理想的には、個々の冗長ブロック11毎にロウ(ROW)、コラム(COLUMN)それぞれに対してA1(アルミ)等の配線による機械的ヒューズ12、13を用い、個々の冗長ブロック独立にリペアできるのが好ましい。

【0018】

しかし、実際にはヒューズ 12, 13 のサイズが大きいため、実装上の問題から、複数の冗長ブロックに対して冗長線を共通に使用することによって冗長ブロックをグループ化し、各グループ毎にヒューズ 12, 13 を用意した構造を採っている。具体的には、列毎に複数の冗長ブロックを貫く所謂串刺しの形でロウ冗長線 14 を、行毎に複数の冗長ブロックを串刺しの形でコラム冗長線 15 をそれぞれ配線し、それぞれの冗長線 14, 15 に対してヒューズ 12, 13 を設けている。また、セルフリペアを行うためには、これら機械的ヒューズとは別にレジスタによるヒューズも同時に設ける。

【0019】

BIST 回路 20 は、上記構成の RAM 10 におけるメモリセル個々の良否を評価する、具体的には個々の冗長ブロック 11 中に異常ビット（欠陥メモリセルあるいは不良メモリセル）があるか否かを調べ、異常ビットがあれば、どのアドレスのビットに異常があるかを LSI 実行速度で高速に評価する。この BIST 回路 20 で検出された異常ビットのアドレス情報は、BIST 回路 20 から BISR 回路 30 へ渡される。

【0020】

BISR 回路 30 は、リペア機能を実現するために、リペアサーチ回路部 31 および BISR 制御部 32 を有する構成となっている。この BISR 回路 30 において、リペアサーチ回路部 31 は、BIST 回路 20 から渡される異常ビットのアドレス情報をリアルタイムに処理し、使用する冗長線（冗長セル）を決定するために必要最低限のアドレス情報を確定し、この必要最低限のアドレス情報のみを LSI チップ上に設けられたバッファ（メモリ）311 に蓄える。異常ビットのアドレス情報は、コラム（行）、ロウ（列）のアドレスデータのペアで表される。このアドレスデータのペアを X, Y アドレスと呼ぶこととする。

【0021】

ここで、個々の冗長ブロック 11 中に異常ビットが存在するか否かを BIST 回路 20 にて LSI 実行速度で調べ、そのアドレス情報をリペアサーチ回路部 31 にてリアルタイムに処理してバッファ 311 に蓄える一連の処理について説明する。まず、異常ビットのアドレス情報をチップ上に保存するのに必要なバッフ

ァ 3 1 1 の容量（以下、「バッファ量」と記す）について考察する。ただし、バッファ 3 1 1 は、X、Y アドレスをペアで格納するものとする。

【0022】

今、X 軸方向（以下、「X 方向」と記す）、Y 軸方向（以下、「Y 方向」と記す）それぞれについて使用可能な冗長線の数それぞれ m 、 n とすると、1 つの Y アドレス上に異常ビットが $n + 1$ 個以上あれば、無条件にこの Y アドレス線を X 方向冗長線によって置換しなければならない。また、同様に 1 つの X アドレス上に異常ビットが $m + 1$ 個以上あれば、無条件にこの X アドレス線を Y 方向冗長線によって置換しなければならない。

【0023】

よって、Y 方向冗長線 1 本につき必要なバッファ量は m 個、X 方向冗長線 1 本につき必要なバッファ量は n 個あれば良い。何故なら、Y 方向冗長線について考察すると、異常アドレスペアを考えたとき、同じ X アドレスで、Y アドレスが異なるものが m 個まではバッファ 3 1 1 に蓄えるが、 $m + 1$ 個目が来た際は、この X アドレスはリペアアドレスとして確定するため、 $m + 1$ 個目はバッファ 3 1 1 に格納する必要はないためである。X 方向冗長線についても同じである。したがって、X 方向冗長線が m 個あるので、X 方向冗長線について必要なバッファ量は $m \times n$ 個、同様に Y 方向冗長線は n 個あるので、Y 方向冗長線について必要なバッファ量は $n \times m$ 個あれば良い。よって、合計、 $2 \times m \times n$ 個のバッファ量を用意すれば良いことになる。

【0024】

一例として、図 2 に示す構成の RAM 10 では、 m 、 n が共に 2、即ち冗長線 14、15 が共に 2 本であるので、この例の場合は、リペアサーチ回路部 31 内のバッファ 3 1 1 として、一つの冗長ブロック 11 あたり、結局、8（ $= 2 \times 2 \times 2$ ）個の X、Y アドレスのペアを格納するバッファ量のものを用意してやれば良いことになる。

【0025】

図 3 は、リペアサーチ回路部 31 の具体的な構成を示すブロック図である。本例に係るリペアサーチ回路部 31 は、バッファ 3 1 1 として、2 本ずつの冗長線

14, 15に対応してX, Yのアドレス用バッファ311X, 311Yを8個ずつ有するとともに、存在ビット312、マスクビット313、Dビット314およびオーバーフロービット315を有している。マスクビット313およびDビット314については、X用(313X, 314X)、Y用(313Y, 314Y)が存在する。

【0026】

存在ビット312は、X, Yのアドレス用バッファ311X, 311Yに格納されたアドレスペアの有効(1)/無効(0)を示すビットである。オーバーフロービット315は、冗長線14, 15によって修復(リペア)が可能(0)/不能(1)を決定するビットである。マスクビット313については、これが立っているXまたはYアドレスはマスクアドレスとして確定していることを示す。Dビット314については、これが立っているXまたはYアドレスは、そのアドレスが以前に既に入っていて2つ目以降であることを示す。

【0027】

図3において、リペアサーチ回路部31にはBIST回路20から、異常ビットのRAM10上の位置を示すX, Yアドレスと、X, Yアドレスの入力が有効であることを示す有効ビット情報とが入力される。そして、X, Yアドレスの入力が有効である場合、リペアサーチ回路部31では次の(1)～(5)の処理が行われる。

【0028】

(1) X, Yアドレスペアが入力されると、当該アドレスペアがアドレス用バッファ311X, 311Yに既にペアとして存在するか否かを判定する。そして、存在すれば、この入力されたX, Yアドレスのペアを破棄する。

【0029】

(2) 入力されたX, Yアドレスペアのうち、いずれか一方のアドレスがマスク(リペア)するアドレスとして確定(以下、「マスク確定」と記す)されたアドレスであるか否か、即ちマスクビット313X, 313Yが“1”であるか否かを判定する。そして、マスク確定されたアドレス(以下、「マスクアドレス」と記す)ならば、この入力されたX, Yアドレスペアを破棄する。

【0030】

(3) 上記(1), (2)のいずれでもなければ、入力されたX, Yアドレスペアを空いているアドレス用バッファ311X, 311Yに格納し、存在ビット312を“1”にする。ただし、このとき、XアドレスまたはYアドレスと同じ値が過去に当該バッファ311X, 311Yに存在すれば、新たにアドレスペアを格納する際に、Xに同じ値があればXDビット314Xを、Yに同じ値があればYDビット314Yを“1”にし、このアドレスが既に2個格納されていることを示す。

【0031】

(4) また、入力されたX, Yアドレスペアのうち、いずれか一方のアドレスが過去にアドレス用バッファ311X, 311Yに格納されていて、そのDビット314X, 314Yが“1”になっていれば、入ってきたアドレスは3つ目ということになるので、このアドレスについてはマスクアドレスとして確定する。そして、入力されたX, Yアドレスペアを破棄し、Dビット314X, 314Yが“1”になっていたアドレスのマスクビット313X, 313Yを“1”にし、このアドレスがマスクアドレスであることを示す。

【0032】

(5) 入力されたX, Yアドレスペアをアドレス用バッファ311X, 311Yに格納しようとした際に、当該バッファ311X, 311Yが既に一杯になっていて、格納するスペースがないときはリペア不能なため、オーバーフロービット315を“1”にしてオーバーフロー（リペア不能）であることを示し、リペアサーチ回路部31において実行される一連の処理を終了する。

【0033】

ここで、リペアサーチ回路部31において実行される上述した一連の処理について、数値例を挙げてさらに具体的に説明する。ある一つの冗長ブロックにおいて、異常ビットのX, Yアドレスのペアが、一例として、(12, 5)、(6, 5)、(12, 8)、(5, 35)、(12, 6)、(6, 35)、(7, 5)の順にBIST回路20からリペアサーチ回路部31に送られてきた場合を考える。

【0034】

先ず、X、Yアドレス（12，5）が入力されると、最初に入力されるアドレスペアであるため、そのままX、Yのアドレス用バッファ311X，311Yに格納される。このとき、バッファ311X，311Yに格納されたアドレスペアが有効であるため存在ビット312が“1”になる。

【0035】

次に、X、Yアドレス（6，5）が入力されると、当該アドレスはまだペアとしてアドレス用バッファ311X，311Yに格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままバッファ311X，311Yに格納されるとともに、存在ビット312が“1”になる。このとき、Yのアドレス用バッファ311Yに同じアドレスの5が既に格納されているためYDビット314Yが“1”になる。

【0036】

次に、X、Yアドレス（12，8）が入力されると、当該アドレスはまだペアとしてアドレス用バッファ311X，311Yに格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままアドレス用バッファ311X，311Yに格納されるとともに、存在ビット312が“1”になる。このとき、Xのアドレス用バッファ311Xに同じアドレスの12が既に格納されているためXDビット314Xが“1”になる。

【0037】

次に、X、Yアドレス（5，35）が入力されると、当該アドレスはまだペアとしてアドレス用バッファ311X，311Yに格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままアドレス用バッファ311X，311Yに格納されるとともに、存在ビット312が“1”になる。

【0038】

次に、X、Yアドレス（12，6）が入力されると、Xアドレスの12は既に格納されていて、またXDビットが“1”になっているアドレスペアが存在している（以前に（12，8）で入ったペア）。したがって、今回入ってきたアドレ

スペア(12, 6)のXアドレス12は3つ目であり、同じXアドレス(この場合、12)でYアドレスが異なるものが3つあることになる。よって、この(12, 6)のペアについては破棄し、XDビットが“1”になっているアドレスペア(12, 8)のXマスクビット313Xを“1”にする。

【0039】

次に、X, Yアドレス(6, 35)が入力されると、当該アドレスはまだペアとしてアドレス用バッファ311X, 311Yに格納されておらず、いずれのアドレスもまだマスクアドレスとして確定されていないため、そのままバッファ311X, 311Yに格納されるとともに、存在ビット312が“1”になる。またこのとき、Xアドレスの6、Yアドレスの35はともに、以前にすでにバッファに格納されており、今回の入力X, Yともに2つ目である。よって、XDビット314X、YDビット314Yともに“1”になる。

【0040】

最後に、X, Yアドレス(7, 5)が入力されると、Yアドレスの5は既に格納されていて、またYDビットが“1”になっているアドレスペアが存在している(以前に(6, 5)で入ったペア)。したがって、今回入ってきたアドレスペア(7, 5)のYアドレス5は3つ目であり、同じYアドレス(この場合、5)でXアドレスが異なるものが3つあることになる。よって、この(7, 5)のペアについては破棄し、YDビットが“1”になっているアドレスペア(6, 5)のYマスクビット313Yを“1”にする。

【0041】

このように、ある一つの冗長ブロックにおいて、異常ビットのX, Yアドレスのペアが、例えば、(12, 5)、(6, 5)、(12, 8)、(5, 35)、(12, 6)、(6, 35)、(7, 5)の順にBIST回路20から送られてきたときのリペアサーチ回路部31での処理結果、即ち当該リペアサーチ回路部31内のX, Yのアドレス用バッファ311X, 311Yおよび各ビット312～315の内容を図4に示す。

【0042】

上述したように、RAM10と同じLSIチップ上に、BIST回路20およ

びリペアサーチ回路部 31 を搭載することで、異常ビットがあるか、あれば、どのアドレスのビットに異常があるかを調べる処理および使用する冗長線を決定するために必要最低限のアドレス情報を確定してこの確定したアドレス情報のみをバッファ 311 X, 311 Y を始め、マスクビット 313 X, 313 Y 等の各ビット (図 3 参照) に蓄える処理を LSI 実行速度で行うことができる。これにより、LSI 実行速度での高速動作が可能な高価なメモリテストが不要になる。

【0043】

また、リペアサーチ回路部 31 によるチップ上での処理により、冗長線解析に必要な異常ビットのアドレス情報のみを残す構成を採っていることにより、今までのように、すべてのアドレスについての正常／異常の情報を取り込む必要がないため、使用するバッファ (メモリ) の容量を大幅に縮小化できる。また、このことにより、バッファ 311 に蓄えられたアドレス情報を基に、使用する冗長線を決定するための計算速度も高速化できる。

【0044】

BISR 回路 30 は、上述したリペアサーチ回路部 31 の機能を使用して、冗長ブロック 11 を X 方向および Y 方向の 2 次元で矩形状に複数個ずつグループ化 (以下、「2 次元グループ化」と記す) し、各グループ内の複数の冗長ブロック 11 に対して冗長線 14, 15 が串刺しの形で接続されている場合にも、オンチップにてリペアサーチを行い、マスクアドレスを決定するものである。

【0045】

この BISR 回路 30 では、冗長ブロック 11 を 1 次元でグループ化 (以下、「1 次元グループ化」と記す) した場合に対応した構成を基本としている。そこで、まず、1 次元グループ化に対応した構成、具体的には、図 5 に示すように、Y 方向の 4 個の冗長ブロック 11 に対して Y 方向冗長線 14 を串刺し状に配線し、X 方向に各冗長ブロック 11 毎に 2 本ずつ X 方向冗長線 15 を配線した場合に対応した構成について説明する。その構成例を図 6 に示す。

【0046】

本構成例に係る BISR 回路 30' は、アドレスバッファやフラグ類を含むバッファ部 41-1 ~ 41-4 と、Y アドレス確認部 42-1 ~ 42-4 とから構

成され、第2方向（本例では、Y方向）で複数の単位ブロックをグループ化してなる第2方向グループの各単位ブロックについてリペア可能か否かを確認する第1の確認手段としての機能を持つ。オーバーフロービットは、BISRの結果がマスク可能か不可能かを示すビットである。

【0047】

BISR回路30'には、BIST回路20においてメモリセル個々の良否の評価が終了すると、当該BIST回路20からBISRの計算開始を指示するスタート信号BISRTARTが与えられる。このスタート信号BISRTARTを受けて、BISR回路30'は、BISRの計算を開始する。BISRの計算が終了とすると、BISR回路30'は、BISRの計算終了を示すエンド信号BISRENDを出力する。

【0048】

図6において、バッファ部41-1～41-4の各々は、図3に示すリペアサーチ回路部31に相当している。すなわち、これらバッファ部41-1～41-4には、先述したリペアサーチが実行されることにより、使用する冗長線を決定するために必要最低限のX、Yアドレスペアのみが4個の冗長ブロック11に対応して格納されることになる。

【0049】

これらバッファ部41-1～41-4内には、各バッファ内のアドレスペア毎にフラグを設け、これらをすべてチェーン状に繋いだシフトレジスタがY方向の冗長線14の数（ここでは2本）だけあり、これらのシフトレジスタは各バッファ部41-1～41-4間も接続されている。これらのシフトレジスタをシフトレジスタ部411とする。また、各バッファ部41-1～41-4内には、説明の都合上、XDビット412についても示してある。

【0050】

Yアドレス確認部42-1～42-4は、Xアドレスによってマスク確定されずに残ったアドレスペアのYアドレスを確認するために設けられたものである。Yアドレスを確認するために、Yアドレス確認部42-1～42-4は、Yアドレスを格納するYアドレス格納部421を持っている。ここでは、各冗長ブロッ

ク 1 1 に対して X 方向に 2 本ずつ冗長線 1 5 を設けているため、これに対応して Y アドレスを 2 つ格納できる 2 つのバッファを Y アドレス格納部 4 2 1 として設けている。

【0051】

次に、上記構成の B I S R 回路 3 0' において実行される、マスクアドレスを決定する際の具体的な処理手順について説明する。以下の処理は、B I S R 制御部 3 2 (図 1 参照) による制御の下に行われる。

【0052】

(1) まず、B I S T 回路 2 0 を動作させて、4 つの冗長ブロック 1 1 の各々について、使用する冗長線を決定するために必要最低限の異常ビットのアドレスペアのみをバッファ部 4 1-1 ~ 4 1-4 に格納する。

【0053】

(2) 次に、シフトレジスタ部 4 1 1 の左右のシフトレジスタの各ポインタを例えば一番上へ移し、リセット状態とする。

【0054】

(3) 次に、この状態で、左右のシフトレジスタの各ポインタが指す X アドレスをすべてのバッファ部 4 1-1 ~ 4 1-4 に通知し、同じ X アドレスを持つアドレスペアをリペアされたと仮定する。

【0055】

(4) 次に、上記 (3) の処理では、リペアされずに残ったアドレスペアについて、X 方向の冗長線 1 5 でマスク可能か否か確認する。マスク不可能であれば次へ進む。

【0056】

(5) 次に、右側のシフトレジスタのポインタをシフトさせる。ただし、このとき、フラグ部 4 1 2 のビット (X D ビット) が “1” になっていれば、この X アドレスは既にあったかこれから出てくるということを示しているなので、無視して再度シフトする。

【0057】

(6) ここで、左右のシフトレジスタの各ポインタが指す X アドレスをすべての

バッファ部 41-1～41-4 に通知し、この X アドレスをもつアドレスペアをリペアされたと仮定する。

【0058】

(7) 次に、上記 (6) の処理ではリペアされずに残ったアドレスペアが X 方向の冗長線 15 でマスク可能か否かを、各バッファ部 41-1～41-4 の Y アドレス確認部 42-1～42-4 によって確認する。マスク不可能であれば次へ進む。

【0059】

(8) さらに、右シフトレジスタのポインタをシフトさせる。ポインタが一番下までいけば、左シフトレジスタのポインタをシフトさせる。この場合には、上記 (5) と同様、フラグ部 412 のビット (XD ビット) が “1” のところはスキップし、次へ移る。そして、右シフトレジスタのポインタを一番上に戻す。このとき、右シフトレジスタのポインタのシフトを、左シフトレジスタと同じシフト位置、あるいはそれよりもひとつ下からはじめても良い。

【0060】

(9) 以降、同様にマスク可能か否かを確認していく。マスク可能になれば、そのとき、左右のシフトレジスタのポインタが指す X アドレスが X のマスクアドレスである。最後まで行ってマスク可能にならなければ、マスク不可能である。

【0061】

2 次元グループ化に対応した BISR 回路 30 は、上述した 1 次元グループ化に対応した BISR 回路 30' の概念を利用し、BISR 回路 30' による確認結果を第 1 方向 (本例では、X 方向) に並ぶ他の第 2 方向グループの各单位ブロックに反映させて、当該他の第 2 方向グループの各单位ブロックについてリペア可能か否かを確認する第 2 の確認手段として機能する。ここでは、一例として、4 列 4 行分の冗長ブロック 11 を 2 次元グループ化し、各列毎、各行毎に 4 個ずつの冗長ブロック 11 に対してロウ冗長線 14、カラム冗長線 15 を串刺しの形で配線 (共通に使用) した場合を例に挙げて説明する。

【0062】

図 7 は、2 次元グループ化に対応した BISR 回路 30 の概念図である。ここ

では、2次元グループ化された4列4行を、a, b, c, d列、A, B, C, D行とする。このBISR回路30において実行される処理手順について以下に説明する。

【0063】

(1) まず、a列に関して、上述した1次元グループ化のアルゴリズム（以下、「1次元アルゴリズム」と記す）を用いてマスク可能なパターンを見つける。ただし、1次元アルゴリズムについては、上述した方法に限られるものではない。マスク可能なパターンを見つけることで、a列のYアドレス格納部421（図6のYアドレス格納部421に相当）に、そのとき必要な各行毎のYマスクアドレスが格納される。ここで、Yマスクアドレスとは、X方向冗長線15に対してマスク確定するアドレスである。これに対して、Xマスクアドレスは、Y方向冗長線14に対してマスク確定する。

【0064】

(2) 次に、a列の各行毎のYマスクアドレスをb列に伝える。この際、a列のYマスクアドレスと同じYアドレスをもつb列内のアドレスペアについてはマスクされる。

【0065】

(3) 次いで、上記(2)の処理でマスクされたアドレス情報を考慮しながら、b列において、1次元アルゴリズムを用いて、b列に対してマスク可能なパターンを見つける。その際、a列のYマスクアドレスも考慮に入れ、各行毎のYマスクアドレスの数がX方向の冗長線15の数（ここでは、2本）を越えないようにする。

【0066】

(4) ここで、もし、b行においてマスク可能なパターンが見つからなければ、

①上記(2)の処理でマスクしたb列をリセットする。

②次に、上記(1)の処理に戻り、a列に対して次のマスク可能なパターンを見つけ、以下、上記(2)以降の処理を繰り返す。

【0067】

(5) 上記(3)の処理において、マスク可能なパターンが見つければ、a列の

Yマスクアドレスと、b列のYマスクアドレスとをc列へ伝える。そして、これらのYマスクアドレスと同じYアドレスを持つc列内のアドレスペアをマスクする。

【0068】

(6) 次いで、上記(5)の処理でマスクされたアドレス情報を考慮しながら、c列において、1次元アルゴリズムを用いて、c列に対してマスク可能なパターンを見つける。この際、a列、b列のYマスクアドレスも考慮に入れ、各行毎のYマスクアドレスの数がX方向の冗長線15の数を越えないようにする。

【0069】

(7) 上記(6)の処理において、もし、マスク可能なパターンが見つからなければ、

①上記(5)の処理でマスクしたc列をリセットする。

②次に、上記(3)の処理に戻り、b列に対して次のマスク可能なパターンを見つける。

③もし、見つけれなければb列をリセットし、上記(1)の処理に戻り、a列に対してマスク可能な次のパターンを見つける。

【0070】

(8) 以降、同様の処理を繰り返す。

【0071】

(実施例)

次に、上述した基本概念を基に為された2次元対応のBISR回路30の構成について具体的に説明する。その構成を図8に示す。図8において、4列4行に2次元グループ化された冗長ブロックの各々に対応するバッファ部41(図6のバッファ部41-1～41-4に相当)には、異常ビットアドレス取り込み用のフラグ類の他に、固定マスクビット413とセットマスクビット414が設けられている。

【0072】

固定マスクビット413は、各冗長ブロック毎にすでにマスクされるアドレスペアとして決定(確定)している異常ビットを表す。例えば、各冗長ブロック毎

にX, Yマスクアドレスが決定される場合があるが、これら決定されたX, Yマスクアドレスによってマスクされる異常ビットである。固定マスクビット413については、異常ビットアドレス取り込み用の各フラグで代用できれば、別途設ける必要はない。セットマスクビット414は、マスク済みと仮定されたアドレスペアを表す。

【0073】

次に、上記構成のBISR回路30において実行される、マスクアドレスを決定する際の具体的な処理手順について説明する。以下の処理は、BISR制御部32（図1参照）による制御の下で行われる。

【0074】

(1) はじめに、すべてのセットマスクビット414をクリアしておく。

【0075】

(2) 次に、1次元アルゴリズムにて、a列に対してマスク可能なXマスクアドレスを見つける。そして、その際、計算されたYマスクアドレスがYマスクアドレス格納部421に格納される。

【0076】

(3) Yマスクアドレス格納部421に格納されたYマスクアドレスは、Yアドレス通知線43を通してb列に通知される。このとき、c, d列に同時に通知するようにしても構わない。

【0077】

(4) b列において、Yアドレス通知線43に載っているアドレスと同じYアドレスを持つアドレスペアのセットマスクビット414を立てる。

【0078】

(5) b列において、1次元アルゴリズムにより、マスク可能なパターンを求める。この際、セットマスクビット414の状態も考慮してを見つける。すなわち、セットマスクビット414が立っているアドレスペアは既にマスク済みなので、b列のXアドレスでマスクする必要はない、これは、1次元アルゴリズムを改良すれば可能である。具体的には、先述した1次元アルゴリズムの中で、フラグ部412のビット(XDビット)をスキップする際、セットマスクビット414も

スキップするようにすれば良い。

【 0 0 7 9 】

(6) そして、b列において、マスク確定されずに残ったアドレスペアから、Yアドレスのみを取り出し、Yマスクアドレス格納部421に格納するとともに、Yマスクアドレス通知線43の空いている場所にこのYアドレスを載せる。この際、Yマスクアドレスの数がX方向の冗長線の数(ここでは、2本)を越えるようであれば、Yマスクアドレス通知線43がオーバーフローし、マスク不可能ということになる。

【 0 0 8 0 】

(7) ここで、もし、マスク不可能であれば、

①b列のセットマスクビット414とYマスクアドレス格納部421をクリアする。

②次に、上記(2)の処理に戻り、a列における次のマスク可能なパターンを見つけていく。

【 0 0 8 1 】

(8) 上記(6)の処理において、マスク可能なパターンが見つければ、Yマスクアドレス通知線43上のYアドレスと同じアドレスをもつ、c列のアドレスペアのセットマスクビット414をセットする。この際、d列のセットマスクビット414を同時にセットするようにしても良いし、a列からd列まですべてのセットマスクビット414をセットするようにしても良い。

【 0 0 8 2 】

(9) c列において、1次元アルゴリズムを使用して、セットマスクビット414も考慮しながら、即ちセットマスクビット414が立っているところはスキップしながら、マスク可能なパターンを求める。

【 0 0 8 3 】

(10) そして、c列でマスクされずに残ったアドレスペアからYアドレスのみを取り出し、Yマスクアドレス格納部421に格納するとともに、Yマスクアドレス通知線43で空いている場所にこのYアドレスを載せる。この際、Yマスクアドレスの数が、X方向の冗長線の数を超えるようであれば、マスク不可能とい

うことになる。

【0084】

(11) ここで、もし、マスク不可能であれば、

①c列のセットマスクビット414とYマスクアドレス格納部421をクリアする。

②次に、上記(5)の処理に戻って、b列の次にマスク可能なパターンを求める。

③見つからなければ、b列のセットマスクビット414とYマスクアドレス格納部421をリセットし、上記(2)の処理に戻ってa列の次にマスク可能なパターンを見つけていく。

【0085】

(12) 以降、同様の処理を繰り返す。

【0086】

Yマスクアドレス格納部421の構成の実施例を図9に示す。Yマスクアドレス格納部421としては、図9(a)に示すように、Yマスクアドレス自身をX方向の冗長線15の数だけ格納できるようにした構成のものや、図9(b)に示すように、X方向の冗長線14の数だけシフトレジスタを用意し、これらシフトレジスタによってYマスクアドレスを指し示すようにした構成のものなどを用いることができる。

【0087】

Yアドレス通知線43の構成の実施例を図10に示す。図10(a)は、X方向冗長線15の数だけアドレスバス431-1, 431-2を用意するようにした構成の場合を示している。この場合、アドレスバス431-1, 431-2の各々に対応し、これらが使用されているかを示す使用ビット線432-1, 432-2も用意されることになる。使用ビット線432-1, 432-2がすべてセットされているときは、X方向冗長線15はすべて使用されていることを表すため、それ以上のX方向冗長線15は使用不能ということになる。

【0088】

図10(b)は、アドレスを示す1つのアドレスバス433と、X方向のコラム

冗長線 1 5 の使用状況を表す使用ビット線 4 3 4 と、どのコラム冗長線 1 5 のアドレスがアドレスバス 4 3 3 に載っているかを示す選択ビット 4 3 5 どころなる構成の場合を示している。

【 0 0 8 9 】

使用ビット線 4 3 4 については、コラム冗長線 1 5 の数だけ用意し、セットされたビットの冗長線が使用済みとして表すようにしても良いし、また使用ビット線 4 3 4 のビットを 2 進数とみなして、いくつ使用されているかで表すようにしても良い。選択ビット線 4 3 5 についても、コラム冗長線 1 5 の数だけ用意し、セットされている冗長線のアドレスがアドレスバスに載っているとして表すようにしても良いし、また 2 進数で数を表し、何番目の冗長線のアドレスが載っているかで表すようにしても良い。

【 0 0 9 0 】

具体的には、新たな Y アドレスが決定され、未使用のコラム冗長線 1 5 を求めるとき、この使用ビット線 4 3 4 を確認し、空いていれば、使用ビット線 4 3 4 の状態を 1 つたくさん使用している状態にする。使用ビット線 4 3 4 がすべての冗長線を使用していることを示すときは、それ以上、X 方向のマスクは不可能ということになるため、そのときは、マスク不可能を表す。

【 0 0 9 1 】

選択ビット線 4 3 5 は、アドレスバスにのっている Y アドレスが、どのコラム冗長線 1 5 のアドレスを表しているかを示すものである。未使用の場合も含めて表すこともできる。コラム冗長線 1 5 の数が 2 本の場合、1 本の選択ビット線 4 3 5 を用い、“0” か “1” かで 2 本のどちらかを表すようにすることもできるし、選択ビット線 4 3 5 を 2 本用意して、どちらのビットが立っているかで表すようにすることもできる。

【 0 0 9 2 】

以上のようにして、2 次元対応の B I S R 回路 3 0 は、ユーザーが製品の電源をオンしたときなどに、オンチップ上にてリペアサーチを行い、決定されたマスクアドレスは、オンチップ上で、レジスタによってなるヒューズ等に格納されることにより、セルフリペアを行うことができる。

【 0 0 9 3 】**【発明の効果】**

以上説明したように、本発明によれば、2次元方向の複数の冗長ブロックに亘って冗長線が共有して使用される構造の場合、オンチップ上で冗長線のマスクアドレスが決定でき、よって完全なオンチップ上でのセルフリペアが可能となる。このことによって、工場出荷時に異常ビットのリペアを行うだけでなく、商品としてユーザーの手元に渡ったあとでも、電源ON時等にB I S Rを動かすことにより、異常ビットを救済できる確率が増えるという効果がある。

【 0 0 9 4 】

また、個々のメモリセルの良否を評価して得たアドレス情報のうち、異常セルと置換する冗長線を決定するために必要最低限のアドレス情報のみをバッファに格納するようにしたことで、評価したアドレス情報をすべて格納する場合に比べて、バッファ容量が少なくて済むため回路規模を小さくでき、またメモリ部と同一のチップ上においてリペアサーチが行われるため、処理の高速化を図ることができる。

【図面の簡単な説明】**【図 1】**

本発明の一実施形態に係る半導体記憶装置の構成を示すブロック図である。

【図 2】

R A Mの構成の一例を示すブロック図である。

【図 3】

リペアサーチ回路部の具体的な構成例を示すブロック図である。

【図 4】

リペアサーチ回路部での処理結果を示す図である。

【図 5】

冗長線がY方向（串刺し方向）に2本、X方向に各冗長ブロック毎に2本ずつ配線された場合の構成を示すブロック図である。

【図 6】

1次元対応のB I S R回路の構成例を示すブロック図である。

【図 7】

2次元対応のBISR回路の概念図である。

【図 8】

2次元対応のBISR回路の具体的な構成を示すブロック図である。

【図 9】

Yマスクアドレス格納部の実施例を示す構成図である。

【図 10】

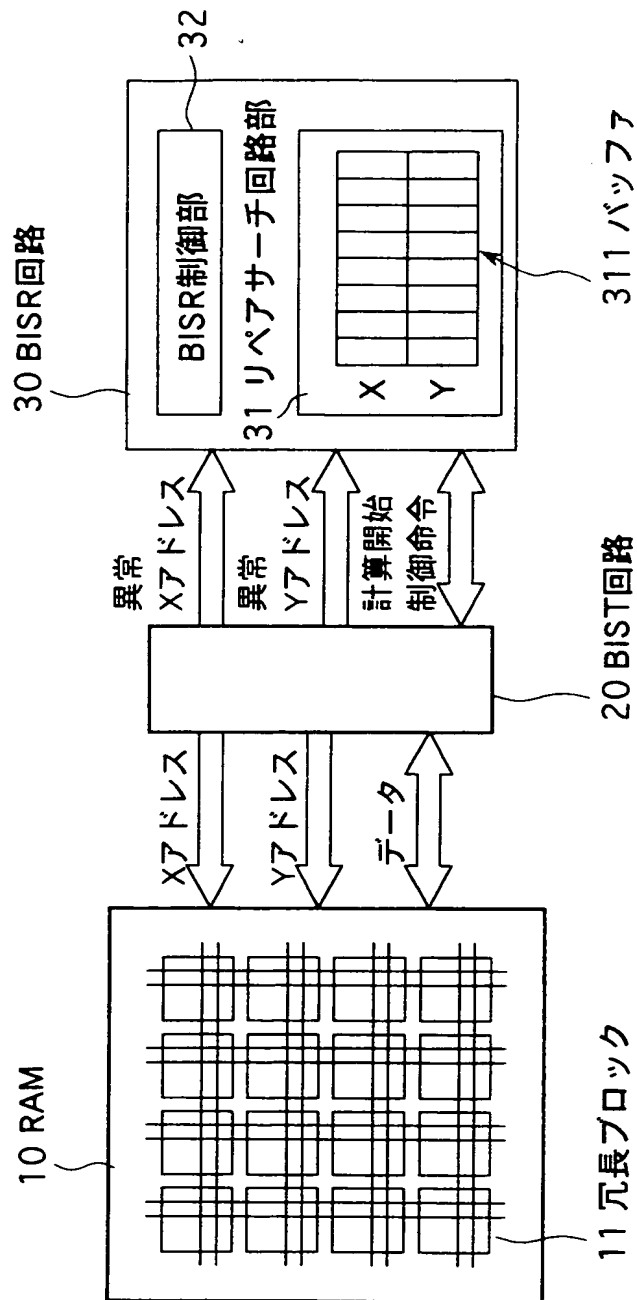
Yアドレス通知線の実施例を示す構成図である。

【符号の説明】

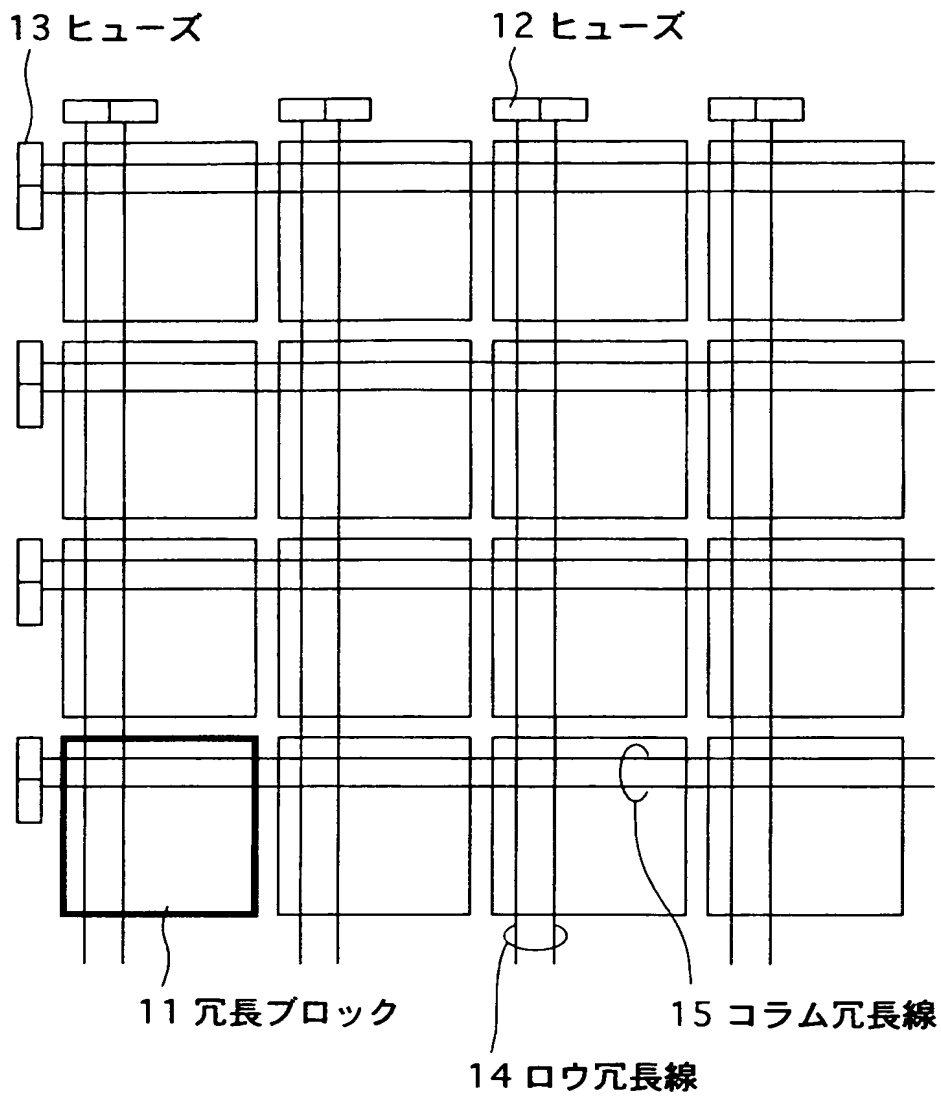
10…RAM、11…冗長ブロック、12, 13, 51…A1ヒューズ、14…ロウ冗長線、15…コラム冗長線、20…BIST回路、30…2次元対応のBISR回路、30'…1次元対応のBISR回路、31…リペアサーチ回路部、32…BISR制御部、41, 41-1～41-4…バッファ部、42-1～42-4…Yアドレス格納部、50A, 50B…ヒューズ回路、52…レジスタヒューズ、311…バッファ

【書類名】 図面

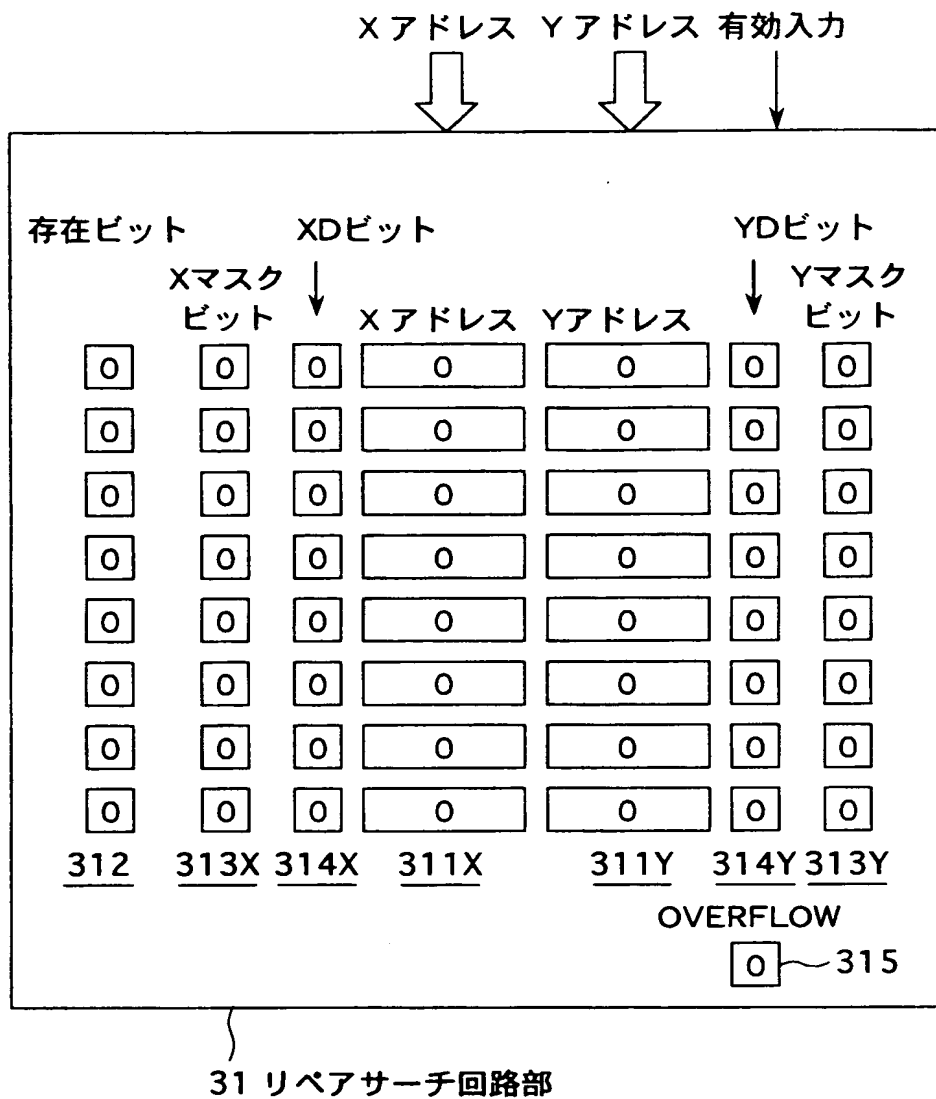
【図 1】



【図 2】



【図 3】



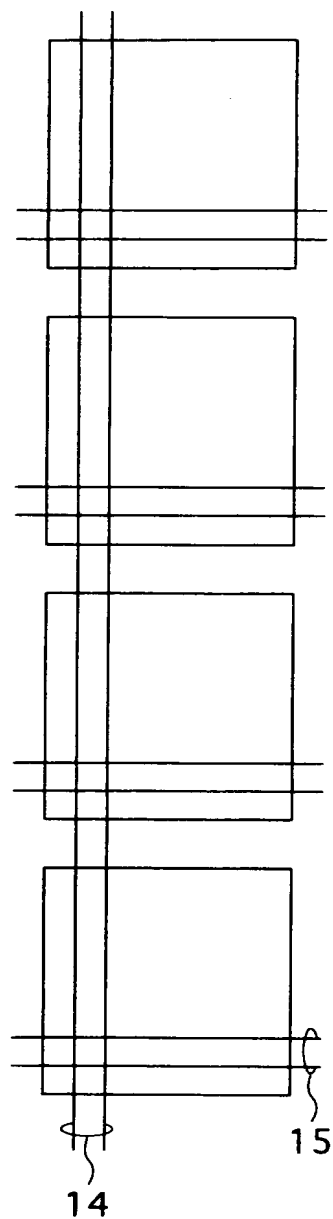
【図 4】

存在ビット	Xマスク ビット	XDビット ↓	Xアドレス	Yアドレス	YDビット ↓	Yマスク ビット
1	0	0	12	5	0	0
1	0	0	6	5	1	1
1	1	1	12	8	0	0
1	0	0	5	35	0	0
1	0	1	6	35	1	0

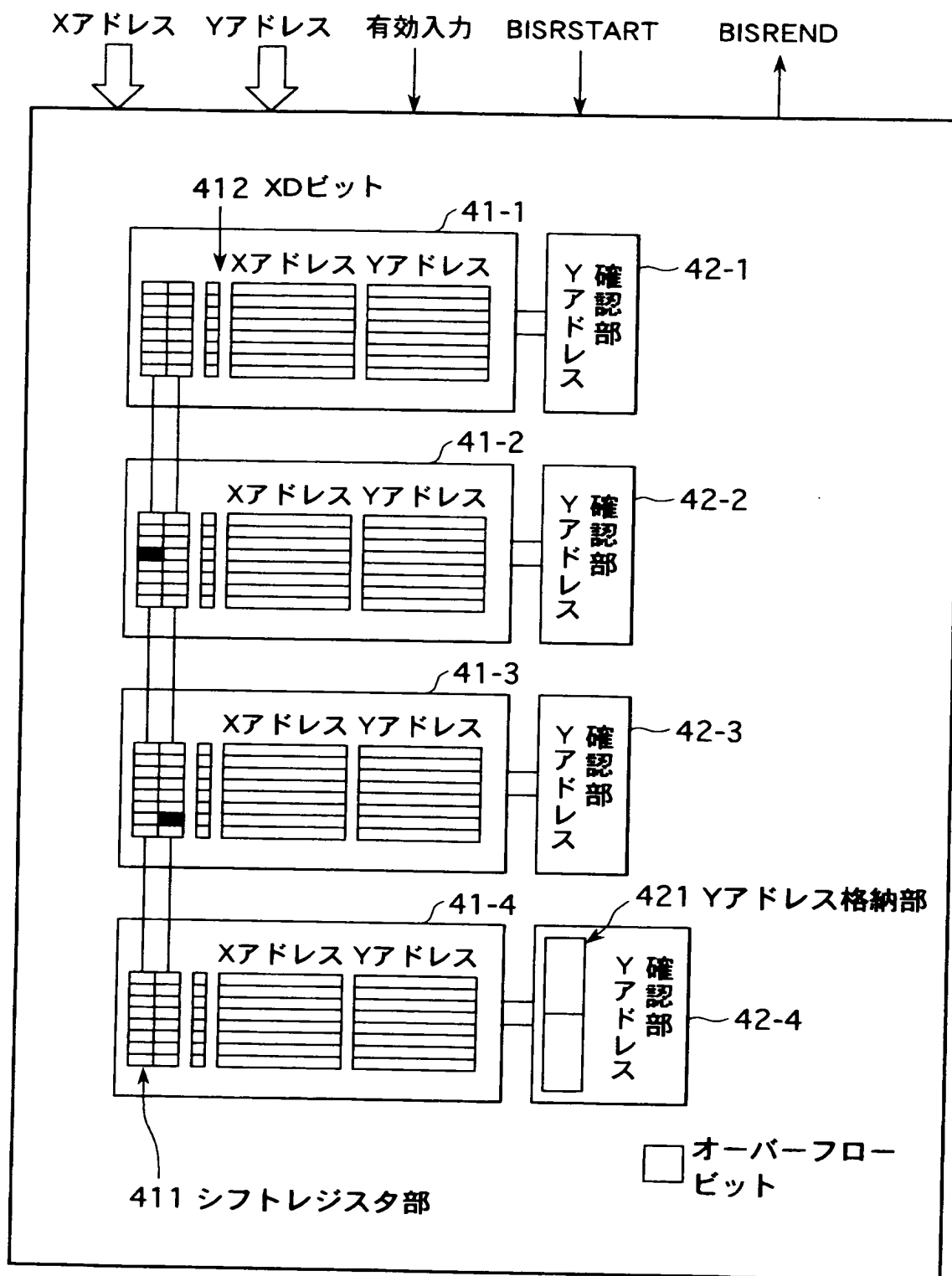
OVERFLOW

0

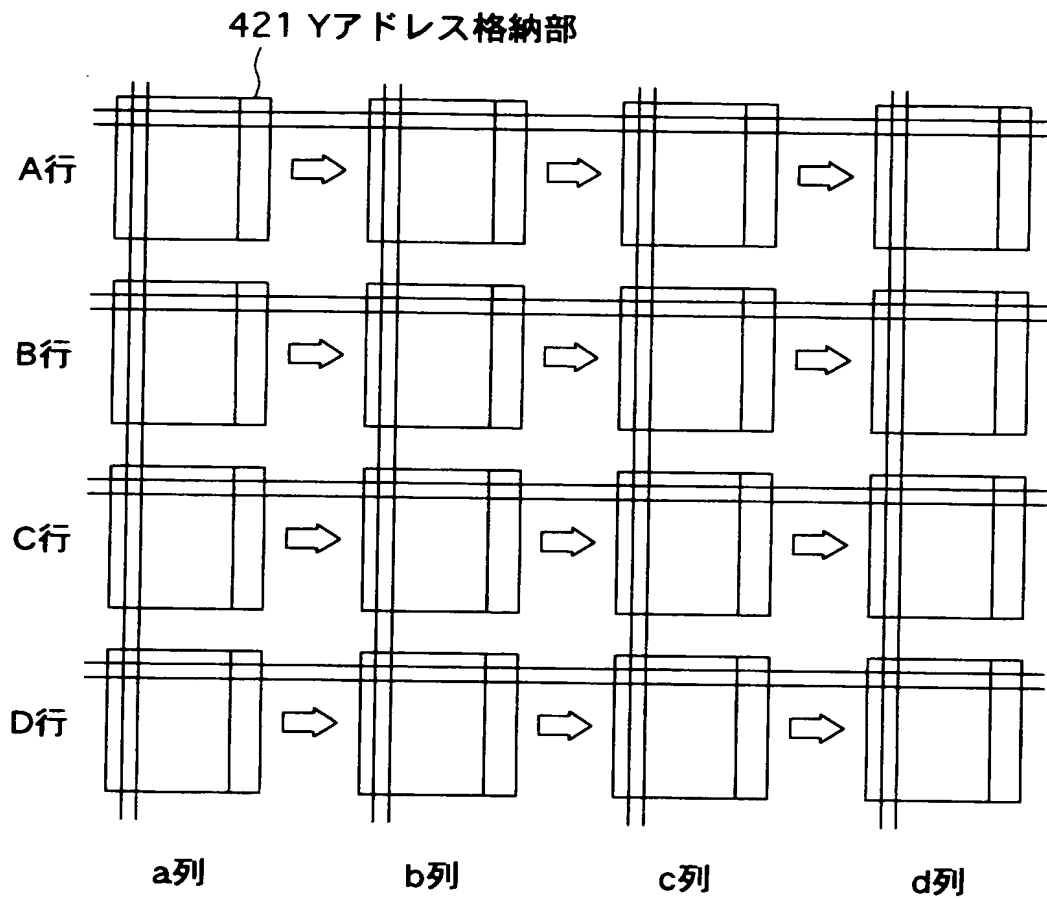
【図 5】



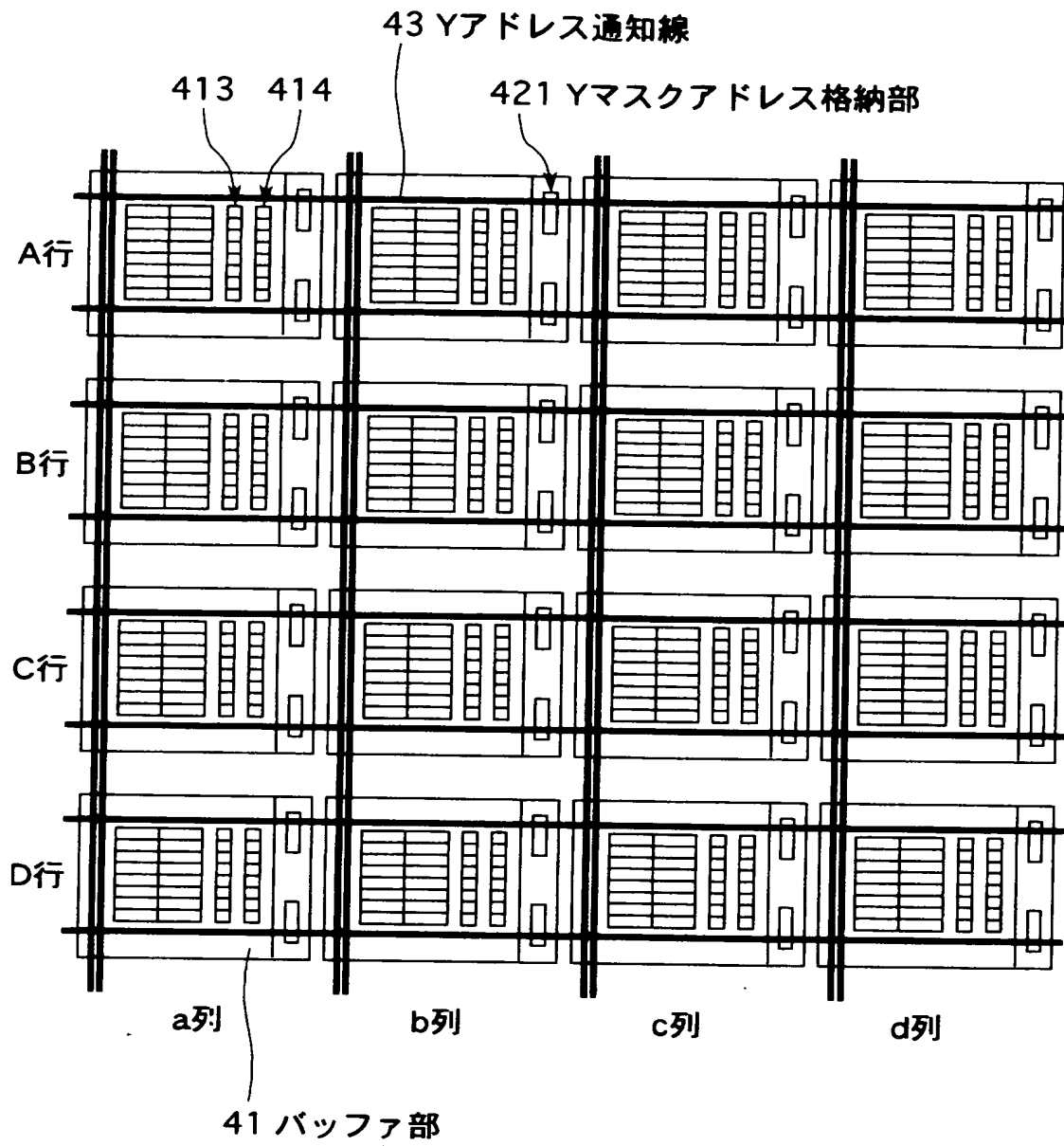
【図 6】



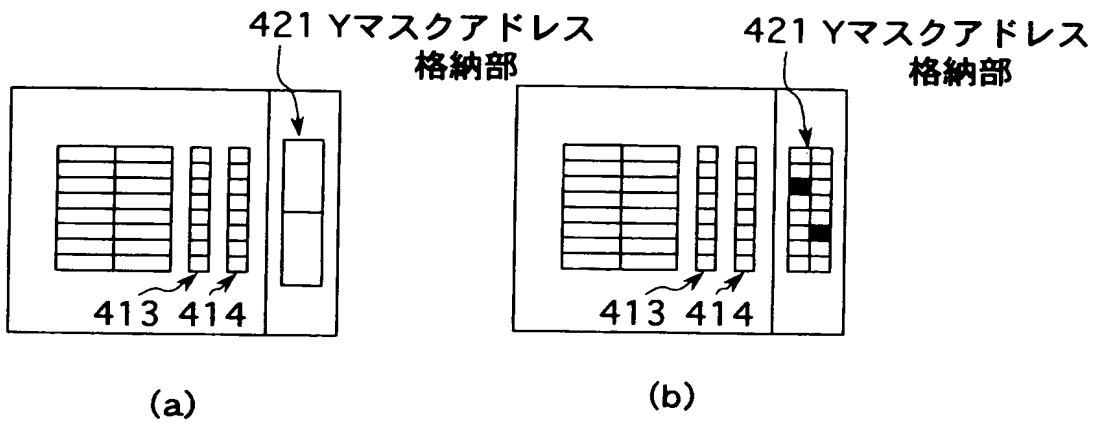
【図 7】



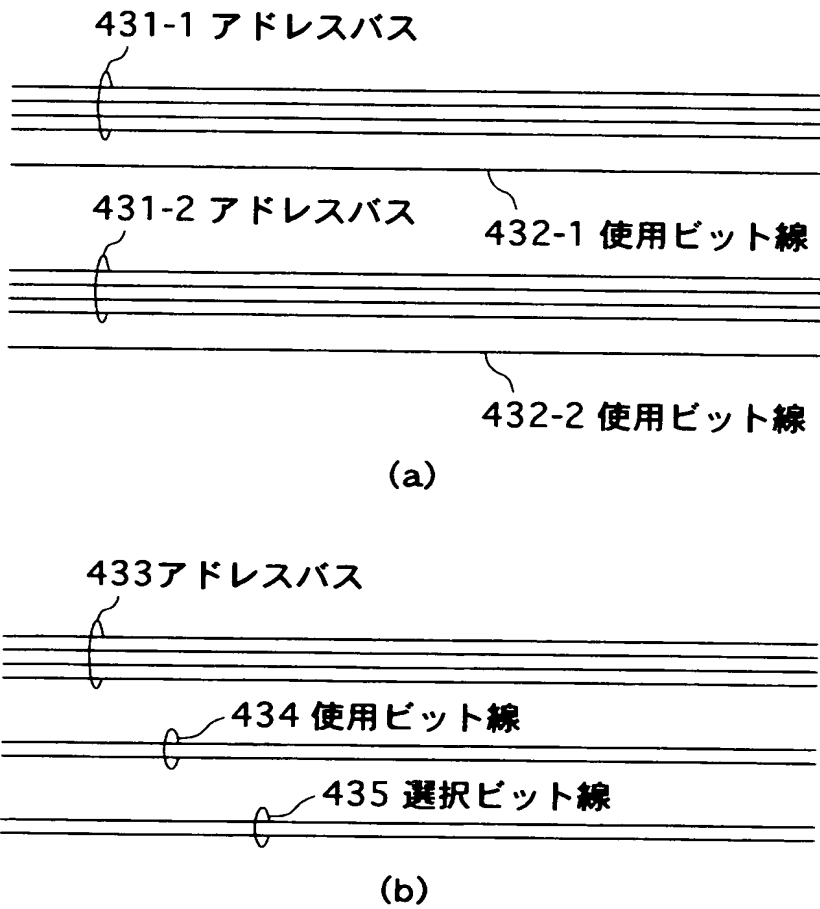
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 冗長線を行、列方向ともに共通化されたメモリにおいて、オンチップ上にてこの冗長線を決定してリペアする装置を提供する。

【解決手段】 冗長ブロック 11 を行方向および列方向の 2 次元で矩形状に複数個ずつグループ化し、各グループ内の複数の冗長ブロック 11 に対して冗長線を共通に使用してなる RAM10 を備えた半導体記憶装置において、RAM10 と同じチップ上に BIST 回路 20 および BISR 回路 30 を搭載し、BISR 回路 30 では BIST 回路 20 から渡される異常セルの X, Y アドレスペアのうち、異常セルをリペアする冗長セルを決定するために必要最低限のアドレスペアのみを冗長ブロック 11 毎にバッファ 311 に格納し、当該バッファ 311 に格納したアドレスペアを基に、2 次元でグループ化した複数の単位ブロックの各々について異常セルをリペアする冗長セルのアドレスを各グループ毎に計算する。

【選択図】 図 1

特願 2 0 0 3 - 1 2 6 5 9 7

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日

[変更理由] 新規登録

住 所 東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名 ソニー株式会社